

АНОТАЦІЯ

«Використання плівок Si_3N_4 в елементах пам'яті з електричним перезаписом»

Колеснік Михайло Михайлович

Мікро- та наноелектронні прилади та пристрої

Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського»

Київ, 2017 рік.

Метою роботи є дослідження застосування плівок нітриду кремнію в сучасних процесах виготовлення елементів пам'яті та знаходження оптимальної структури елемента в умовах зменшення розмірів інтегральних мікросхем.

У першому розділі розглянуто види напівпровідникової пам'яті.

У розділі 2 розглянуто структуру елементів пам'яті з нижнім захопленням заряду.

У розділі 3 виконано детальний опис процесу виготовлення елементів пам'яті з нижнім захопленням заряду.

В розділі 4 розглянуто основні характеристики, властивості та показники роботи виготовлених елементів пам'яті з нижнім захопленням та їх порівняння з елементами пам'яті з верхнім захопленням заряду.

П'ятий розділ присвячено розгляду показників мобільності електронів в приладах з нижнім захопленням заряду.

Шостий розділ описує стартап проект на основі виконаних досліджень.

Робота виконана згідно вимог нормативних документів НТУУ «КПІ» та чинних державних стандартів.

Ключові слова: Ключові слова: Si_3N_4 , елементи пам'яті, інтегральні схеми.

ABSTRACT

«Application of Si₃N₄ films in memory elements with electric overwrite method»

Kolesnik Mykhaylo Mykhaylovych

Micro- and nanoelectronic devices

*National technical university of Ukraine "Igor Sikorsky Kyiv Polytechnic Institute"
Kyiv, 2017*

The aim is to study the application of silicon nitride films in current processes of fabrication of memory devices and to find optimal structure of device in terms of integrated circuits size reduction.

The first section deals with types of semiconductor memory.

Chapter 2 reviews structure of memory device with back-side charge trapping.

Chapter 3 completed a detailed description of fabrication process of back-side charge trapping devices.

Chapter 4 deals with the main characteristics and properties of the memory devices with back-side charge trapping and their comparison with memory devices with front-side charge trapping.

The fifth section is devoted to describe electron mobility in memory devices with back-side charge trapping.

The sixth section describes startup project based on the studies shown in this work.

Work carried out in accordance with regulations of NTUU "KPI" and applicable state standards.

Key words: Si₃N₄, memory elements, integrated circuits.

СПИСОК ЛІТЕРАТУРИ

1. H. Silva, "Back side charge trapping nano-scale silicon non-volatile memories", Cornell University (2005).
2. A. Fazio, "Future directions of non-volatile memory technologies", Mater. Res. Soc. Symp. Proc. Fall 2004, 830, 3 (2005).
3. J.-H. Park, S.-H. Hur, J.-H. Leex, J.-T. Park, J.-S. Sel, J.-W. Kim, S.-B. Song, J.-Y. Lee, J.-H. Lee, S.-J. Son, Y.-S Kim, M.-C. Park, S.-J. Chai, J.-D. Choi, U.-I. Chung, J.-T. Moon, K.-T. Kim, K. Kim, B.-I. Ryu, "8 Gb MLC (multi-level cell) NAND flash memory using 63 nm process technology", in Intl. Electron Devices Meeting Tech. Dig. 2004 p. 873 – 876 (2004).
4. D. Kahng and S. M. Sze, "A floating gate and its application to memory devices", Bell Syst. Tech. J., 46, 1288 (1967).
5. H. A. R. Wegener, A. J. Lincoln, H. C. Pao, M. R. O'Connell, R. E. Oleksiak, "The variable threshold transistor, a new electrically alterable, non-destructive read-only storage device", in Intl. Electron Devices Meeting Tech. Dig. (1967).
6. A. Kumar and S. Tiwari, "Floating back gate electrically erasable programmable read-only memory (EEPROM)", U.S. Patent 6248626 (2001).
7. U. Avci, A. Kumar and S. Tiwari, "Back-floating gate non-volatile memory", 2004 Intl. SOI Conf. Proc., 133-135 (2004).
8. L. Selmi and C. Fiegna, Physical aspects of cell operation and reliability, in Flash Memories, edited by P. Cappellotti, C. Golla, P. Olivo, E. Zanoni, Kluwer Academic Publishers (1999).
9. A. Kumar and S. Tiwari, "Scaling of Flash NVRAM to 10's of nm by Decoupling of Storage from Read/Sense Using Back-Floating Gates", IEEE Trans. on Nanotechnology, 1, 4, 247-254 (2002).
10. M. Bruel, B. Aspar, B. Charlet, C. Maleville, T. Poumayrol, A. Soubie, A. J. Auberton-Herve, J.M. Lamure, T. Barge, F. Metral, S. Trucchi, "Smart cut: a promising new SOI material technology", 1995 IEEE Intl. SOI Conf. Proc., 178-179 (1995).
11. J.-P. Collinge, Silicon-On-Insulator Technology: Materials to VLSI, Kluwer Academic Publishers (1997).
12. B. Aspar, C. Lagahe, H. Moriceau, A. Soubie, M. Bruel, A.J. Auberton-Herve, T. Barge, C. Maleville, "Kinetics of Splitting in The Smart-Cut Process", 1998 IEEE Intl. SOI Conf. Proc., 137-138 (1998).
13. B. Aspar, M. Bruel, M. Zussy, A.M. Cartier, "Transfer of structured and patterned thin silicon films using the Smart-Cut(R) process", Electronics Letters 32, 21, 1985-1986 (1996).
14. U. Avci and S. Tiwari, "Back-gated MOSFET's with controlled silicon thickness for adaptive threshold-voltage control", Electronics Letters 40, 1, 74-75 (2004).
15. S.A. Campbell, "The Science and Engineering of Microelectronic Fabrication", Oxford University Press (1996).

16. E. Lusky, Y. S.-Diamand, A. Shappir, I. Bloom, B. Eitan, "Traps spectroscopy of the Si₃Ni₄ layer using localized charge-trapping nonvolatile memory device", *Appl. Phys. Lett.*, 85, 4, 669 (2004).
17. Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press (1998).
18. S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the Universality of Inversion Layer Mobility in Si MOSFET's: Part I-Effects of Substrate Impurity Concentration", *IEEE Trans. Electron Devices*, 41, 12, 2357 (1994).
19. U. Avci, A. Kumar, H. Liu and S. Tiwari, "Back-Gated SOI Technology: Power Adaptive Logic and Non-Volatile Memory Using Identical Processing", *34th European Solid-State Device Research Conference Proc.*, 285–288 (2004).
20. K. S. Ralls, W. J. Skocpol, L. D. Jackel, R. E. Howard, L. A. Fetter, R. W. Epworth, and D. M. Tennant, "Discrete resistance switching in submicrometer silicon inversion layers: individual interface traps and low frequency (1/f?) noise", *Phys. Rev. Lett.* 52, 3, 228-231 (1984).
21. M. J. Kirton and M. J. Uren, "Noise in solid-state microstructures: a new perspective on individual defects, interface states, and low-frequency noise", *Adv. Phys.* 38, 367-468 (1989).
22. H. H. Mueller and M. Schulz, *Individual Interface Traps and Telegraph Noise in Characterization Methods of Submicron MOSFETS*, Kluwer, Haddara (1996).
23. O. Céspedes, G. Jan, M. Viret, M. Bari and J. M. D. Coey, "Random telegraph noise in a nickel nanoconstriction", *Appl. Phys. Lett.* 90, 10, 8433 (2003).
24. M. Shima, Y. Sakuma, Y. Awano, and N. Yokoyama, "Random telegraph signals of tetrahedral-shaped recess field-effect transistor memory cell with a hole-trapping floating quantum dot gate", *Appl. Phys. Lett.* 77, 3, 442 (2000).
25. H. M. Bu, Y. Shi, X. L. Yuan, J. Wu, S. L. Gu, Y. D. Zheng, H. Majima, H. Ishikuro, and T. Hiramoto, "Random telegraph signals and low-frequency noise in n metal–oxide–semiconductor field-effect transistors with ultranarrow channels", *Appl. Phys. Lett.* 76, 22, 3259 (2000).
26. R. Ranica, A. Villaret, P. Mazoyer, S. Monfray, D. Chanemougame, P. Masson, C. Dray, P. Waltz, R. Bez, T. Skotnicki, "A new 40nm SONOS structure based on backside trapping for nanoscale memories", *Silicon Nanoelectronics Workshop* (2004).
27. Y. N. Tan, W. K. Chim, W. K. Choi, M. S. Joo, T. H. Ng and B. J. Cho, "High-K HfAlO Charge Trapping Layer in SONOS-type Nonvolatile Memory Device for High Speed Operation", *Intl. Electron Devices Meeting Tech. Dig. 2004* (2004).
28. M. She, H. Takeuchi and T.-J. King, "Silicon-Nitride as a Tunnel Dielectric for Improved SONOS-Type Flash Memory", *IEEE Elec. Dev. Lett.* 24, 5, 309-311 (2003).
29. A. Korotkov and K. Likharev, "Resonant Fowler-Nordheim Tunneling through Layered Tunnel Barriers and its Possible Applications", *Intl. Electron Devices Meeting Tech. Dig. 1999*, 223-226 (1999).
30. P. Xuan, M. She, B. Harteneck, A. Liddle, J. Bokor, T.-J. King, "FinFet SONOS flash memory for embedded applications", *Intl. Electron Devices Meeting Tech. Dig. 2003*, 609-612 (2003).