

АНОТАЦІЯ

Зменшення технологічного процесу, збільшення кількості транзисторів та металевих міжз'єднань в високоінтегрованих мікросхемах у відповідності з законом Мура призводить до збільшення ролі прихованих дефектів. Вони не впливають на функціонування схеми напряму, але можуть бути причиною ранніх відмов пристрою. Пошук таких слабких мікросхем в промислових умовах — нетривіальна задача, яка потребує вивчення процесів деградації ІС та розробку нових підходів до тестування.

Предметом дослідження даної дипломної роботи є розробка спеціальних процедур вимірювального контролю прихованих дефектів для систем на кристалі. В цілому можливість проведення скринінгу прихованих дефектів залежить від реалізованих на присталі структур для автоматичного тестування. В роботі проведено аналіз можливостей використанні таких структур. Також описано можливості типового промислового обладнання для проведення тестування мікросхем та використання їх для скринінгу.

Практичне використання запропонованих методів вимагало написання тестувальної програми та генерацію цифрових патернів. Були розроблено SHOVE та VLV процедури та проведені відповідні виміри.

ТЕСТУВАННЯ МІКРОСХЕМ, АВТОМАТИЧНЕ ТЕСТУВАЛЬНЕ
ОБЛАДНАННЯ, ЧАСОЗАЛЕЖНІ ДЕФЕКТИ, СКРИНІНГ.

ABSTRACT

Reduction of technological process, increasing of transistor and metal interconnection density in VLSI leads to rise of "hidden" defects number that usual not affect the functional operation of the circuit, but may leads to early failure of the device. The search for such weak ICs in an industrial environment – not a trivial problem. It needs study of the processes of degradation of ICs and development of special testing procedures, screening tests. The purpose of this report is to analyze the basic mechanisms of aging ICs and methods of screening.

The subject of study of this thesis is developing of special procedures for Automatic Test Equipment (ATE) for hidden defects in the crystal. In general, the possibility of screening for latent defects depends on the DFT structures presented on circuit. The paper analyzes the possibility of these structures to test hidden defects. Also describes the capabilities of a typical industrial ATE for testing chips and use them for screening.

Practical use of the proposed methods require writing of test program and generation ATPG. Due to this work, it was developed SHOVE and VLV procedures and provided measurements.

VLSI TESTING, AUTOMATIC TEST EQUIPMENT, TIME DEPENDENT DEFECT, SCREENING, SHORT VOLTAGE ELEVATION, VERY LOW VOLTAGE.