



Моделювання напівпровідникових приладів та інтегральних мікросхем

Робоча програма навчальної дисципліни (Силабус)

Реквізити навчальної дисципліни

Рівень вищої освіти	<i>Другий (магістерський)</i>
Галузь знань	<i>15 Автоматизація та приладобудування</i>
Спеціальність	<i>153 Мікро- та наносистемна техніка</i>
Освітня програма	<i>Мікро- та наноелектроніка</i>
Статус дисципліни	<i>Вибіркова</i>
Форма навчання	<i>очна(денна)</i>
Рік підготовки, семестр	<i>1 курс, весняний семестр</i>
Обсяг дисципліни	<i>5 кредитів (150 годин)</i>
Семестровий контроль/ контрольні заходи	<i>екзамен</i>
Розклад занять	
Мова викладання	<i>Українська</i>
Інформація про керівника курсу / викладачів	<i>Лектор, лабораторні: к.т.н., доц., Діденко Ю.В., yu.didenko@kpi.ua, 0967521754</i>
Розміщення курсу	https://classroom.google.com/c/MTk2OTA0MjM4MDI1 Код курсу: npd4gu3

Програма навчальної дисципліни

1. Опис навчальної дисципліни, її мета, предмет вивчення та результати навчання

Мета навчальної дисципліни формування у студентів здатностей:

- *проектувати, тобто аналізувати, синтезувати, моделювати та верифікувати, логічні схеми;*
- *розроблювати алгоритмічні та структурні специфікації логічних схем на мові Verilog;*
- *застосовувати різні стилі HDL-описів при проектуванні НВІС.*

Основні завдання навчальної дисципліни:

- *дати знання з основних принципів роботи комбінаційних і послідовних цифрових пристроїв на основі ПЛІС, синтезу логічних схем по специфікаціям на мові Verilog;*
- *виробити вміння використання високорівневої мови Verilog для проектування цифрових систем на всіх стадіях: специфікації, моделювання та синтезу НВІС, з урахуванням елементної бази.*

2. Пререквізити та постреквізити дисципліни (місце в структурно-логічній схемі навчання за відповідною освітньою програмою)

Для успішного вивчення даної дисципліни студенти мають засвоїти наступні дисципліни (пререквізити дисципліни):

- бакалаврські курси: “Програмування та алгоритмічні мови”, “Цифрова схемотехніка”
- магістерські курси: “Проектування напівпровідникових приладів та інтегральних мікросхем”

Результати навчання даної дисципліни використовуються для вивчення наступних дисциплін (постреквізити дисципліни):

- переддипломна практика та дипломне проектування.

3. Зміст навчальної дисципліни

- Тема 1. Основні поняття мови Verilog
- Тема 2. Модулі
- Тема 3. Примітиви та бібліотечні модулі
- Тема 4. Типи даних
- Тема 5. Операції
- Тема 6. Оператор неперервного призначення assign
- Тема 7. Процедурні оператори та блоки
- Тема 8. Керування процедурним часом
- Тема 9. Оператори процедурного призначення
- Тема 10. Оператори процедурного програмування
- Тема 11. Атрибути
- Тема 12. Блок генерації
- Тема 13. Задачі та функції
- Тема 14. Системні задачі та функції
- Тема 15. Директиви компілятора
- Тема 16. Блоки специфікацій
- Тема 17. Конфігурація проекту
- Тема 18. Синтезуємі конструкції мови Verilog

4. Навчальні матеріали та ресурси

Базова література:

1. IEEE.1364-2005
2. Соловьев В.В. Основы языка проектирования цифровой аппаратуры Verilog / В.В. Соловьев. – М.: Горячая линия - Телеком, 2014. - 206 с.
3. Тарасов И.Е. Программируемые логические схемы и их применение в схемотехнических решениях: Учебное пособие / И.Е. Тарасов, Е.Ф. Певцов. – Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования "Московский государственный технический университет радиотехники, электроники и автоматики" – М., 2012. – 184 с.

Додаткові матеріали та ресурси:

1. Harris D.M. Digital Design and Computer Architecture. Second Edition / David Money Harris Sarah L. Harris. – Elsevier, 2013. – 720 p.
2. Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры на ПЛИС : учебное пособие / А.К. Поляков . – М.: Издательский дом МЭИ, 2012. – 220 с.
3. Акчурин А.Д. Программирование на языке Verilog : Учебное пособие / А.Д. Акчурин, К.М. Юсупов. – Казань, 2016. – 90 с.
4. Sagdeo V. The Complete Verilog Book / Vivek Sagdeo. – Kluwer Academic Publishers, 2002. – 471 p.

5. Методика опанування навчальної дисципліни (освітнього компонента)

Лекційні заняття:

Лекція №1

Тема 1. Основні поняття мови Verilog

Лекція №2

Тема 2. Модулі

Лекція №3

Тема 3. Примітиви та бібліотечні модулі

Лекція №4

Тема 4. Типи даних

Лекція №5

Тема 5. Операції

Лекція №6

Тема 6. Оператор неперервного призначення assign

Лекція №7

Тема 7. Процедурні оператори та блоки

Лекція №8

Тема 8. Керування процедурним часом

Лекція №9

Тема 9. Оператори процедурного призначення

Лекція №10

Тема 10. Оператори процедурного програмування

Лекція №11

Тема 11. Атрибути

Лекція №12

Тема 12. Блок генерації

Лекція №13

Тема 13. Задачі та функції

Лекція №14

Тема 14. Системні задачі та функції

Лекція №15

Тема 15. Директиви компілятора

Лекція №16

Тема 16. Блоки специфікацій

Лекція №17

Тема 17. Конфігурація проекту

Лекція №18

Тема 18. Синтезуємі конструкції мови Verilog

Лабораторні заняття:

Заняття №1

Установлення та налаштування програмних засобів моделювання цифрових схем мовою Verilog

Заняття №2

Описування схеми мовою Verilog в стилі опису логічних рівнянь та на вентильному рівні.

Передавання сигналів екземплярів модулів шляхом позиційного та іменованого призначення.

Заняття №3

Користувацькі примітиви. Робота з Simulation Waveform Editor. Побітові операції та операції редукації.

Заняття №4

Робота з ModelSim. Процедурний блок *always*. Оператори блокувального та неблокувального призначення.

Заняття №5

Блоки генерації. Оператори процедурного програмування. Задачі та функції.

Заняття №6

Цифрові автомати. Робота із State Machine Editor.

Заняття №7

Програмування ПЛІС.

Заняття №8

Приймання лабораторних робіт

Заняття №9

Приймання лабораторних робіт

6. Самостійна робота студента/аспіранта

Розрахункова робота

Для стимуляції самостійної роботи студентів і заохочення їх до самовдосконалення в дисципліні передбачено в якості індивідуального завдання розрахункова робота. В роботі необхідно засобами мови Verilog описати за індивідуальним завданням проект схеми на вентильному рівні; синтезувати електричну схему за допомогою RTL Viewer; перевірити коректність роботи моделі за допомогою Simulation Waveform Editor; описати проект схеми мовою Verilog на поведінковому рівні; скласти модуль для моделювання роботи схеми (testbench); перевірити коректність роботи моделі за допомогою ModelSim. На виконання завдання передбачено 56 годин самостійної роботи.

Також на самостійну роботу додатково винесено вивчення наступного теоретичного матеріалу:

Основні поняття про ПЛІС – 2 години;

Створення звітів та повідомлень – 2 години;

Область видимості даних – 2 години

Теорія цифрових автоматів – 4 години;

Підготовка до екзамену – 30 годин.

Політика та контроль

7. Політика навчальної дисципліни (освітнього компонента)

Відвідування всіх видів занять є обов'язковим.

Виконання всіх завдань є обов'язковою умовою допуску до екзамену.

Перед лабораторними заняттями необхідно попередньо ознайомитись з завданням на дане заняття. Завдання повинне бути виконане і показане викладачеві не пізніше заняття за наступною темою.

Захист лабораторних робіт може здійснюватися на протязі всього семестру. На захист повинен бути оформлений протокол виконаної роботи. Протокол оформлюється за загальними правилами університету і повинен містити титульний аркуш, завдання, код програми, необхідні схеми та діаграми роботи. Процедура захисту складається з відповідей на запитання викладача за темою роботи. За неправильні відповіді або неправильне оформлення протоколу оцінка знижується згідно вимог РСО. За умови неправильної відповіді більш ніж на третину запитань захист не зараховується.

Розрахункова робота також повинна бути захищена. На захист повинна бути пред'явлена виконана робота в електронному та друкованому варіантах. Друкований варіант повинен

бути оформлений згідно вимог університету і повинен містити титульний аркуш, завдання, програмний код, необхідні схеми та діаграми роботи. Процедура захисту складається з відповідей на запитання викладача за темою роботи. За неправильні відповіді або неправильне оформлення роботи оцінка знижується згідно вимог PCO. За умови неправильної відповіді більш ніж на третину запитань захист не зараховується.

8. Види контролю та рейтингова система оцінювання результатів навчання (PCO)

З метою контролю процесу засвоєння учбового матеріалу у курсі передбачено дві модульні контрольні роботи. Перша робота за матеріалом лекцій 1...4, друга за матеріалами лекцій 5-12. Оцінювання контрольних робіт здійснюється згідно рейтингової системи. За неправильні відповіді бали не зараховуються, за неточні або не повні відповіді бали знижуються.

Виконання лабораторних робіт та розрахункової роботи проводиться шляхом перевірки функціонування написаних студентом програм та шляхом опитування в процесі захисту роботи.

Календарний контроль: провадиться двічі на семестр як моніторинг поточного стану виконання вимог силабусу. Для успішного проходження першого календарного контролю: студент повинен набрати не менше 20% балів від максимального сумарного рейтингу протягом семестру. Для успішного проходження другого календарного контролю студент повинен набрати не менше 40% балів від максимального рейтингу.

Семестровий контроль здійснюється у вигляді екзамену.

Рейтинг студента з дисципліни складається з балів, які він отримує за:

- 1) виконання лабораторних робіт;
- 2) розрахункову роботу;
- 3) модульну контрольну роботу;
- 4) відповідь на екзамені.

Максимальна сума балів стартової складової $R_C = 50$ балів. Необхідною умовою допуску до екзамену є стартовий рейтинг не менше 25 балів.

На екзамені студенти виконують письмову контрольну роботу. Кожне завдання містить одне теоретичне питання та два практичних завдання. Екзаменаційна складова шкали рейтингу $R_E = 50$ балів. Кожне теоретичне питання оцінюється у 10 балів, кожне практичне завдання оцінюється у 20 балів.

Рейтингова шкала з дисципліни складає:

$$R = R_C + R_E = 50 + 50 = 100 \text{ балів.}$$

Студенти, які за стартовим рейтингом не допущені до екзамену з цієї дисципліни, зобов'язані підвищити його до рівня не менше 50%.

Рейтинговий бал студента нараховується за наступними правилами:

1. Захист лабораторних робіт

Ваговий бал 3. Максимальна кількість балів $3 \times 7 = 21$. Бали нараховуються за результатами захисту робіт. Захист полягає у відповіді на 3-запитання викладача. За правильну відповідь на запитання нараховується 1 бал. За неправильну відповідь бали не нараховуються. Якщо не зараховано два або більше запитань захист не зараховується. В цьому випадку студент повинен підготуватися і прийти на повторний захист.

2. Модульна контрольна робота 1 – максимальний бал 10.

3. Модульна контрольна робота 2 – максимальний бал 10.

4. РГР – максимальний бал 9.

Система рейтингових (вагових) балів

№ п/п	Заняття, що підлягають рейтинговій оцінці	Загальна кількість	Макс. бал	Число балів на відмінно
1.	Лабораторні роботи	7	3	21
2.	Модульна контрольна робота 1	1	10	10
3.	Модульна контрольна робота 2	1	10	10
4.	РГР	1	9	9
5.	Рейтинг за курс, R			50

Сума стартових балів і балів за екзаменаційну контрольну роботу переводиться до екзаменаційної оцінки згідно з таблицею:

Таблиця відповідності рейтингових балів оцінкам за університетською шкалою:

Кількість балів	Оцінка
100-95	Відмінно
94-85	Дуже добре
84-75	Добре
74-65	Задовільно
64-60	Достатньо
Менше 60	Незадовільно
Не виконані умови допуску	Не допущено

9. Додаткова інформація з дисципліни (освітнього компонента)

Перелік запитань для семестрового контролю.

1. Ідентифікатори мови Verilog.
2. Білі знаки та коментарі у мові Verilog.
3. Логічні значення сигналів у мові Verilog.
4. Логічна потужність сигналів у мові Verilog.
5. Представлення цілих чисел у мові Verilog.
6. Представлення дійсних чисел у мові Verilog.
7. Паралелізм мови Verilog.
8. Означення модуля у мові Verilog.
9. Поведінковий та структурний стиль опису модулів у мові Verilog.
10. Означення портів у мові Verilog.
11. Опис екземплярів модулів із позиційним призначенням сигналів у мові Verilog.
12. Опис екземплярів модулів із іменованим призначенням сигналів у мові Verilog.
13. Опис екземплярів параметризованих модулів у мові Verilog.
14. Опис масивів екземплярів модулів у мові Verilog.
15. Вбудовані примітиви у мові Verilog.
16. Формат конструкції delay в означенні вбудованого примітиву у мові Verilog.
17. Формат конструкції strength в означенні вбудованого примітиву у мові Verilog.
18. Формат означення користувачьких примітивів у мові Verilog.
19. Символи для опису значень сигналів у таблиці істинності.

20. *Класи типів даних у мові Verilog.*
21. *Мережеві типи даних у мові Verilog.*
22. *Типи даних змінні у мові Verilog.*
23. *Тип даних logic у мові SystemVerilog.*
24. *Внутрішні змінні у мові Verilog.*
25. *Локальні параметри у мові Verilog.*
26. *Побітові операції у мові Verilog.*
27. *Операції редукції у мові Verilog.*
28. *Логічні операції у мові Verilog.*
29. *Операції відношення у мові Verilog.*
30. *Операції ідентичності у мові Verilog.*
31. *Арифметичні операції у мові Verilog.*
32. *Різносторонні операції у мові Verilog.*
33. *Пріоритет операцій у мові Verilog.*
34. *Оператор неперервного призначення у мові Verilog.*
35. *Процедурні оператори initial та always у мові Verilog.*
36. *Операторні дужки begin-end у мові Verilog.*
37. *Формат процедурних блоків у мові Verilog.*
38. *Оператор затримки у мові Verilog.*
39. *Оператор чутливості у мові Verilog.*
40. *Список чутливості при описуванні комбінаційних схем у мові Verilog.*
41. *Список чутливості при описуванні послідовнісних схем у мові Verilog.*
42. *Оператор очікування у мові Verilog.*
43. *Формат процедурного оператора блокувального призначення у мові Verilog.*
44. *Використання операторів керування часом разом із процедурним оператором блокувального призначення у мові Verilog.*
45. *Процедурні оператори блокувального призначення із внутрішніми затримками у мові Verilog.*
46. *Формат процедурного оператора неблокувального призначення у мові Verilog.*
47. *Використання операторів керування часом разом із процедурним оператором неблокувального призначення у мові Verilog.*
48. *Процедурні оператори неблокувального призначення із внутрішніми затримками у мові Verilog.*
49. *Оператор процедурного програмування if-else у мові Verilog.*
50. *Оператор процедурного програмування case у мові Verilog.*
51. *Оператор процедурного програмування casex та casez у мові Verilog.*
52. *Оператор процедурного програмування for у мові Verilog.*
53. *Оператор процедурного програмування while у мові Verilog.*

54. *Оператор процедурного програмування repeat у мові Verilog.*
55. *Оператор процедурного програмування forever у мові Verilog.*
56. *Оператор процедурного програмування disable у мові Verilog.*
57. *Атрибут full_case мови Verilog.*
58. *Атрибут parallel_case мови Verilog.*
59. *Блоки генерації мови Verilog.*
60. *Оператор генерації if-else у мові Verilog.*
61. *Оператор генерації case у мові Verilog.*
62. *Оператор генерації for у мові Verilog.*
63. *Автоматичні та статичні задачі і функції мови Verilog.*
64. *Субпрограма типу задача у мові Verilog.*
65. *Субпрограма типу функція у мові Verilog.*
66. *Системні задачі для відображення тексту у мові Verilog.*
67. *Системні функції для відкриття та закриття файлів у мові Verilog.*
68. *Системні задачі для виведення інформації у файл у мові Verilog.*
69. *Системні функції для керування процесом симуляції у мові Verilog.*
70. *Системні функції для керування часом симуляції у мові Verilog. Формат завдання \$timeformat.*
71. *Системні функції для перетворення знакових та беззнакових величин у мові Verilog.*
72. *Системні функції для перетворення змінних типу real у 64-бітовий вектор у мові Verilog.*

Робочу програму навчальної дисципліни (силабус):

Складено доц. кафедри мікроелектроніки, к.т.н., доц., Діденком Ю.В.

Ухвалено кафедрою мікроелектроніки (протокол № 21 від 10.06.2020)

Погоджено Методичною комісією факультету електроніки (протокол № 06/2020 від 22.06.2020)