Національний технічний університет України
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

Кафедра
мікроелектроніки

Програмовані логічні інтегральні схеми

Силабус

Реквізити навчальної дисципліни	
Рівень вищої освіти	***Перший (бакалаврський)***
Галузь знань	*15 Автоматизація та приладобудування*
Спеціальність	*153 Мікро- та наносистемна техніка*
Освітня програма	*Мікро- та наноелектроніка*
Статус дисципліни	*Вибіркова*
Форма навчання	*очна(денна)*
Рік підготовки, семестр	*4 курс, весняний семестр*
Обсяг дисципліни	*4 кредити (120 годин)*
Семестровий контроль/ контрольні заходи	*залік*
Розклад занять	
Мова викладання	*Українська*
Інформація про керівника курсу / викладачів	Лектор, практичні: *к.т.н., доц., Діденко Ю.В., yu.didenko@kpi.ua, 0967521754*
Розміщення курсу	https://classroom.google.com/c/NTM2MTE0NTcyNDIy Код курса: mrs45s6

Програма навчальної дисципліни

1. Опис навчальної дисципліни, її мета, предмет вивчання та результати навчання

Мета навчальної дисципліни формування у студентів здатностей:

- *проектувати, тобто аналізувати, синтезувати, моделювати та верифікувати, логічні схеми;*
- *розроблювати алгоритмічні та структурні специфікації логічних схем на мові Verilog;*
- *застосовувати різні стилі HDL-описів при проектуванні НВІС.*

Основні завдання навчальної дисципліни:

- *дати знання з основних принципів роботи комбінаційних і послідовних цифрових пристроїв на основі ПЛІС, синтезу логічних схем по специфікаціям на мові Verilog;*
- *виробити уміння використання високорівневої мови Verilog для проектування цифрових систем на всіх стадіях: специфікації, моделювання та синтезу НВІС, з урахуванням елементної бази.*

2. Пререквізити та постреквізити дисципліни (місце в структурно-логічній схемі навчання за відповідною освітньою програмою)

Для успішного вивчення даної дисципліни студенти мають засвоїти наступні дисципліни (пререквізити дисципліни): ЗО14 «Інформатика», ПО17.2 «Схемотехніка. Частина 2. Цифрова схемотехніка».

3. Зміст навчальної дисципліни

Тема 1. Основні поняття мови Verilog
Тема 2. Модулі
Тема 3. Примітиви та бібліотечні модулі
Тема 4. Типи даних
Тема 5. Операції
Тема 6. Оператор неперервного призначення assign
Тема 7. Процедурні оператори та блоки
Тема 8. Керування процедурним часом
Тема 9. Оператори процедурного призначення
Тема 10. Оператори процедурного програмування
Тема 11. Атрибути
Тема 12. Блок генерації
Тема 13. Задачі та функції
Тема 14. Проєктування ВІС на основі автоматного уявлення
Тема 15. Системні задачі та функції
Тема 16. Директиви компілятора
Тема 17. Блоки специфікацій
Тема 18. Конфігурація проекту

4. Навчальні матеріали та ресурси

Базова література:

1. *IEEE.1364-2005*
2. *Рябенький В. М. VERILOG. Проектування цифрових пристроїв / В. М. Рябенький, О. О. Ушкаренко. – Миколаїв, 2007. – 205 с.*
3. *Лахно В. А. Технології проектування комп'ютерних систем. Частина 1 : навч. посіб. / В. А. Лахно, Б. С. Гусєв, В. В. Смолій та ін. – Київ : ЦП «Компрінт», 2019. – 248 с.*

Додаткові матеріали та ресурси:

1. *Tripathi S. L. Digital VLSI Design and Simulation with Verilog / Suman Lata Tripathi, Sobhit Saxena, Sanjeet K. Sinha, Govind S. Patel. – John Wiley & Sons, 2021. – 224 p.*
2. *Harris D.M. Digital Design and Computer Architecture. Second Edition / David Money Harris Sarah L. Harris. – Elsevier, 2013. – 720 p.*
3. *Sagdeo V. The Complete Verilog Book / Vivek Sagdeo. – Kluwer Academic Publishers, 2002. – 471 p.*

Навчальний контент

5. Методика опанування навчальної дисципліни (освітнього компонента)

Лекційні заняття:
Лекція №1
Тема 1. Основні поняття мови Verilog
Лекція №2
Тема 2. Модулі
Лекція №3
Тема 3. Примітиви та бібліотечні модулі
Лекція №4
Тема 4. Типи даних
Лекція №5
Тема 5. Операції

Лекція №6
Тема 6. Оператор неперервного призначення assign
Лекція №7
Тема 7. Процедурні оператори та блоки
Лекція №8
Тема 8. Керування процедурним часом
Лекція №9
Тема 9. Оператори процедурного призначення
Лекція №10
Тема 10. Оператори процедурного програмування
Лекція №11
Тема 11. Атрибути. Тема. 12. Блок генерації
Лекція №12
Тема 13. Задачі та функції
Лекція №13
Тема 14. Проєктування ВІС на основі автоматного уявлення
Лекція №14
Тема 15. Системні задачі та функції
Лекція №15
Тема 16. Директиви компілятора
Лекція №16
Тема 17. Блоки специфікацій
Лекція №17
Тема 18. Конфігурація проекта
Лекція №18
Залік

Практичні заняття:
Заняття №1
Установлення та налаштування програмних засобів моделювання цифрових схем мовою Verilog
Заняття №2
Описування схеми мовою Verilog в стилі опису логічних рівнянь та на вентильному рівні. Передавання сигналів екземплярів модулів шляхом позиційного та іменованого призначення.
Заняття №3
Користувацькі примітиви. Робота з Simulation Waveform Editor. Побітові операції та операції редукції.
Заняття №4
Робота з ModelSim. Процедурний блок always. Оператори блокувального та неблокувального призначення.
Заняття №5
Блоки генерації. Оператори процедурного програмування. Задачі та функції.
Заняття №6
Цифрові автомати. Робота із State Machine Editor.
Заняття №7
Програмування ПЛІС.
Заняття №8
Захист практичних робіт
Заняття №9
Захист практичних робіт

6. Самостійна робота студента

Розрахункова робота

Для стимуляції самостійної роботи студентів і заохочення їх до самовдосконалення в дисципліні передбачено в якості індивідуального завдання розрахункова робота. В роботі необхідно засобами мови Verilog описати за індивідуальним завданням проект схеми на вентильному рівні; синтезувати електричну схему за допомогою RTL Viewer; перевірити коректність роботи моделі за допомогою Simulation Waveform Editor; описати проект схеми мовою Verilog на поведінковому рівні; скласти модуль для моделювання роботи схеми (testbench); перевірити коректність роботи моделі за допомогою ModelSim. На виконання завдання передбачено 28 годин самостійної роботи.
Також на самостійну роботу додатково винесено вивчення наступного теоретичного матеріалу:
Основні поняття про ПЛІС – 2 години;
Створення звітів та повідомлень – 4 години;
Область видимості даних – 4 години
Теорія цифрових автоматів – 8 години;
Підготовка до заліку – 20 годин.

Політика та контроль

7. Політика навчальної дисципліни (освітнього компонента)

Відвідування всіх видів занять є обов'язковим.
Виконання модульної контрольної роботи та розрахункової роботи є обов'язковою умовою допуску до заліку.
Практичне завдання має бути виконане і показане викладачеві не пізніше наступного за розкладом заняття. У противному випадку завдання не зараховується (окрім випадків, коли студент не зміг виконати завдання у встановлений термін з поважних причин).
Протокол виконання практичного завдання та розрахункової роботи оформлюється за загальними правилами університету і має містити титульний аркуш, завдання, код програми, необхідні схеми та діаграми роботи.

8. Види контролю та рейтингова система оцінювання результатів навчання (РСО)

З метою контролю процесу засвоєння учбового матеріалу у курсі передбачена модульна контрольна робота, яка розділена на дві частини. Перша робота за матеріалами тем 1…8, друга за матеріалами тем 9…15. Оцінювання контрольних робіт здійснюється згідно рейтингової системи. За неправильні відповіді бали не зараховуються, за неточні або не повні відповіді бали знижуються.
Оцінювання практичних робіт та розрахункової роботи проводиться шляхом перевірки функціонування написаних студентом програм.
Календарний контроль: провадиться один раз у семестрі як моніторинг поточного стану виконання вимог силабусу. Для успішного проходження календарного контролю: студент має набрати не менше 40% балів від максимального сумарного рейтингу протягом семестру.
Семестровий контроль здійснюється у вигляді заліку. Умовами для допуску до заліку є виконання модульної контрольної роботи, виконання розрахункової роботи та семестровий рейтинг не менше 40 балів.
Студенти, які набрали протягом семестру необхідну для позитивної оцінки кількість балів, мають можливості:
- не складати залік, а отримати оцінку „автоматом" відповідно до набраного рейтингу з дисципліни;
- складати залік з метою підвищення оцінки.

У разі отримання на заліку оцінки нижчої, ніж за рейтингом, за студентом не зберігається оцінка отримана „автоматом”.
Студенти, семестровий рейтинг яких відповідає оцінці „незадовільно”, зобов’язані складати залік.
Оцінка визначається за сумою набраних рейтингових балів відповідно до системи розрахунку шкали рейтингу.
Рейтинговий бал студента нараховується за наступними правилами:
1. Виконання оцінюваних практичних робіт:
Ваговий бал – 7. Максимальна кількість балів – 7x5=35. Бали нараховуються в разі правильного виконання завдань передбачених практичними роботами.
2. Модульна контрольна робота (розділена на дві контрольні роботи):
Максимальна кількість балів – 2x16=32.
3. Розрахункова робота:
Максимальний бал – 33.

Система рейтингових (вагових) балів

№ п/п	*Заняття, що підлягають рейтинговій оцінці*	*Загальна кількість*	*Макс. бал*	*Число балів на відмінно*
1	*Оцінювані практичні роботи*	*5*	*7*	*35*
2	*Контрольна робота*	*2*	*16*	*32*
3	*Розрахункова робота*	*1*	*33*	*33*
	Рейтинг за курс	*100*		

Таблиця відповідності рейтингових балів оцінкам за університетською шкалою:

Кількість балів	*Оцінка*
100-95	*Відмінно*
94-85	*Дуже добре*
84-75	*Добре*
74-65	*Задовільно*
64-60	*Достатньо*
Менше 60	*Незадовільно*
Не виконані умови допуску	*Не допущено*

9. Додаткова інформація з дисципліни (освітнього компонента)

Перелік запитань для семестрового контролю.

1. *Ідентифікатори мови Verilog.*
2. *Білі знаки та коментарі у мові Verilog.*
3. *Логічні значення сигналів у мові Verilog.*
4. *Логічна потужність сигналів у мові Verilog.*
5. *Представлення цілих чисел у мові Verilog.*
6. *Представлення дійсних чисел у мові Verilog.*
7. *Паралелізм мови Verilog.*
8. *Означення модуля у мові Verilog.*
9. *Поведінковий та структурний стиль опису модулів у мові Verilog.*
10. *Означення портів у мові Verilog.*
11. *Опис екземплярів модулів із позиційним призначенням сигналів у мові Verilog.*
12. *Опис екземплярів модулів із іменованим призначенням сигналів у мові Verilog.*
13. *Опис екземплярів параметризованих модулів у мові Verilog.*

14. *Опис масивів екземплярів модулів у мові Verilog.*
15. *Вбудовані примітиви у мові Verilog.*
16. *Формат конструкції delay в означенні вбудованого примітиву у мові Verilog.*
17. *Формат конструкції strength в означенні вбудованого примітиву у мові Verilog.*
18. *Формат означення користувацьких примітивів у мові Verilog.*
19. *Символи для опису значень сигналів у таблиці істинності.*
20. *Класи типів даних у мові Verilog.*
21. *Мережеві типи даних у мові Verilog.*
22. *Типи даних змінні у мові Verilog.*
23. *Тип даних logic у мові SystemVerilog.*
24. *Внутрішні змінні у мові Verilog.*
25. *Локальні параметри у мові Verilog.*
26. *Побітові операції у мові Verilog.*
27. *Операції редукції у мові Verilog.*
28. *Логічні операції у мові Verilog.*
29. *Операції відношення у мові Verilog.*
30. *Операції ідентичності у мові Verilog.*
31. *Арифметичні операції у мові Verilog.*
32. *Різносторонні операції у мові Verilog.*
33. *Пріоритет операцій у мові Verilog.*
34. *Оператор неперервного призначення у мові Verilog.*
35. *Процедурні оператори initial та always у мові Verilog.*
36. *Операторні дужки begin-end у мові Verilog.*
37. *Формат процедурних блоків у мові Verilog.*
38. *Оператор затримки у мові Verilog.*
39. *Оператор чутливості у мові Verilog.*
40. *Список чутливості при описуванні комбінаційних схем у мові Verilog.*
41. *Список чутливості при описуванні послідовнісних схем у мові Verilog.*
42. *Оператор очікування у мові Verilog.*
43. *Формат процедурного оператора блокувального призначення у мові Verilog.*
44. *Використання операторів керування часом разом із процедурним оператором блокувального призначення у мові Verilog.*
45. *Процедурні оператори блокувального призначення із внутрішніми затримками у мові Verilog.*
46. *Формат процедурного оператора неблокувального призначення у мові Verilog.*
47. *Використання операторів керування часом разом із процедурним оператором неблокувального призначення у мові Verilog.*
48. *Процедурні оператори неблокувального призначення із внутрішніми затримками у мові Verilog.*
49. *Оператор процедурного програмування if-else у мові Verilog.*
50. *Оператор процедурного програмування case у мові Verilog.*
51. *Оператор процедурного програмування casex та casez у мові Verilog.*
52. *Оператор процедурного програмування for у мові Verilog.*
53. *Оператор процедурного програмування while у мові Verilog.*
54. *Оператор процедурного програмування repeat у мові Verilog.*
55. *Оператор процедурного програмування forever у мові Verilog.*
56. *Оператор процедурного програмування disable у мові Verilog.*
57. *Атрибут full_case мови Verilog.*
58. *Атрибут parallel_case мови Verilog.*
59. *Блоки генерації мови Verilog.*
60. *Оператор генерації if-else у мові Verilog.*
61. *Оператор генерації case у мові Verilog.*

62. Оператор генерації for у мові Verilog.
63. Автоматичні та статичні задачі і функції мови Verilog.
64. Субпрограма типу задача у мові Verilog.
65. Субпрограма типу функція у мові Verilog.
66. Системні задачі для відображення тексту у мові Verilog.
67. Системні функції для відкриття та закриття файлів у мові Verilog.
68. Системні задачі для виведення інформації у файл у мові Verilog.
69. Системні функції для керування процесом симуляції у мові Verilog.
70. Системні функції для керування часом симуляції у мові Verilog. Формат завдання $timeformat.
71. Системні функції для перетворення знакових та беззнакових величин у мові Verilog.
72. Системні функції для перетворення змінних типу real у 64-бітовий вектор у мові Verilog.

Силабус:

Складено *доцентом кафедри мікроелектроніки, канд. техн. наук, доцентом Діденком Ю. В.*
Ухвалено *кафедрою мікроелектроніки (протокол № 22 від 23.06.2023).*
Погоджено *Методичною комісією факультету електроніки (протокол № 06/2023 від 29.06.2023).*